

⑨日本国特許庁(JP) ⑩特許出願公開
⑪公開特許公報(A) 昭54-101229

⑤Int: Cl.² 識別記号 ⑥日本分類 ⑦内整理番号 ⑧公開 昭和54年(1979)8月9日
G 11 C 11/34 101 97(7) C 19 7361-5B
G 11 C 7/00 97(7) C 102 7368-5B
⑨発明の数 1
審査請求 未請求

(全4頁) 6

⑩メモリ回路

⑪特 願 昭53-7975
⑫出 願 昭53(1978)1月26日
⑬發明者 和田俊男

東京都港区芝五丁目33番1号
日本電気株式会社内
⑭出願人 日本電気株式会社
東京都港区芝五丁目33番1号
⑮代理人 弁理士 内原晋

MAILED
FEB 23 1995
GROUP 2500

明細書

1. 発明の名称

メモリ回路

に用いられる絶縁ゲート型電界効果トランジスタを用いたメモリ回路に関するものである。

大容量のMOSメモリ集積回路を実現する1トランジスタ型MOS-RAMは大容量化に伴ないデイジット線の付加容量が増大し、アドレス・アクセス時間およびリセット時のプリチャージ時間が増大して高速動作が困難になる。とくにメモリデバイスにおいてはアドレス・アクセス時間と共にサイクル時間が短縮されることが低電力化と共に実用性を得るために重要な要素である。

5

10

2. 特許請求の範囲

ドレイン又はソースとゲートとが交叉接続され、ソース又はドレインが共通接続された一对のトランジスタと、一对のデイジット線と、前記一对のデイジット線と前記一对のトランジスタのドレイン又はソースとをそれぞれ選択的に接続する第1の手段と、前記一对のデイジット線を選択的に接続する第2の手段とを含み、前記第1および第2の手段の動きによつて前記一对のデイジット線および一对のトランジスタのドレイン又はソースの電位をほぼ同一の電位とすることを特徴としたメモリ回路。

この発明の目的は、上述の欠点のない高速動作を実現するメモリ回路を提供することにある。

本発明によるメモリ回路はドレイン又はソースとゲートとが交叉接続され、ソース又はドレインが共通に接続された一对のトランジスタと、一对のデイジット線と、この一对のデイジット線と上記一对のトランジスタの交叉接続点をそれぞれ選択的に接続する第1の手段と、上記一对のデイジット線を選択的に接続する第2の手段とを含み、第1および第2の手段によつて上記交叉接続点を

15

20

3. 発明の詳細な説明

この発明は高速大容量のMOSメモリ集積回路

および一对のデイジット線の電位をほほ同電位とするようにしたことを特徴とする。

本発明によれば互いに他のドレインにゲートが結合する一对のセンストラシジスタ(101, 102)の共通ソース電位を下降することによりそれぞれのドレインのセンス節点(A, \bar{A})の電位差を増幅するセンス回路と、複数行のワード線(W₁, W₂, ...)に直交する一对のデイジット線(D, \bar{D})とセンス節点(A, \bar{A})とをそれぞれゲートが伝達バルス(ϕ_T)で駆動される伝達トランジスタ(103, 104)によつて接続させ、上記ワード線とデイジット線対の少くとも一方が交叉する交点にトランジスタおよび容量要素から成る1トランジスタ型メモリセルを配備し、セルの蓄積電荷をデイジット線および伝達トランジスタを通して上記センス回路に供給し、情報検出を行なうメモリ回路において、上記デイジット線対にドレイン・ソースが結合し結合バルス(ϕ_0)で駆動される結合トランジスタ(105)を設け、リセット時に上記結合バルス(ϕ_0)および伝達バルス(ϕ_T)を高電

位とすることによりデイジット線対およびセンス節点(A, \bar{A})をほほ同一の中間電位とし、センス動作時に伝達バルスを低電位として上記伝達トランジスタを遮断状態となし、且つこの期間をプリチャージ期間として上記デイジット線対と共に高電位に充電し、センス終了時に再度上記伝達バルス(ϕ_T)を高電位として上記デイジット線対のリフレッシュ電位を設定するようにした絶縁ゲート型境界効果トランジスタを用いたメモリ回路を得ることができる。

また上述のメモリ回路において、外部回路からの入出力線対(I/O, \bar{I}/\bar{O})と上記センス節点(A, \bar{A})にそれぞれのドレインおよびソースが結合し、ゲートがデコード出力信号(Y_J)で駆動される入出力トランジスタを設けたメモリ回路も得ることができる。

本発明によれば、リセット時のプリチャージが不要となり、サイクル時間の短縮が可能となり、高速、高密度のメモリ回路を得ることができる。

第1図はこの発明の一実施例の部分回路図であ

る。この実施例は、互いに他のドレインにゲートが結合する一对の駆動トランジスタ101, 102をセンスアンプとして有する。それぞれのドレインはセンス節点A, \bar{A} であり、ここに生ずる電位差は共通ソース節点Bの電位を下降することにより増幅される。電位の下降はセンスバルスのSをゲートに導入し、ドレインが共通ソース節点Bにソースが基準電位(接地)に結合する各センスアンプに共通のトランジスタQ₃で制御される。記憶マトリクスは複数のワード線W₁, W₂, ...とダミーワード線DW₁, DW₂を列線とし、複数対のデイジット線D, \bar{D} およびD, \bar{D} , ..., 行線とする行列マトリクスの交点にトランジスタQと容量要素Cから成るメモリセルおよびダミーセルをそれぞれ有する。これらのメモリセルは1トランジスタ型メモリセルとして知られているもので、通常は対を成すデイジット線の一方(D又は \bar{D})とワード線の交点にあるメモリセルが選択されるとき、他方(\bar{D} 又はD)のダミーセルに結合するダミーセルが選択される。

デイジット線対D, \bar{D} とセンス節点A, \bar{A} とはゲートが伝達バルス(ϕ_T)で駆動される伝達トランジスタ103, 104のそれぞれドレイン、ソースで結合される。又、デイジット線対D, \bar{D} にドレイン、ソースが結合する結合トランジスタ105のゲートは結合バルス(ϕ_0)で駆動される。

記憶情報の入出力は、相補信号で生ずる一对の入出力線I/O, \bar{I}/\bar{O} とセンス節点A, \bar{A} とにドレイン、ソースがそれぞれ結合する入出力トランジスタ106, 107のゲートをYデコード出力Y_Jで駆動して行なわれる。Yデコード出力は各センスアンプ毎に導入され、被選択のセンスアンプのセンス節点対と入出力線対との結合を制御する。デイジット線D, \bar{D} はプリチャージトランジスタ108, 109のソースにそれぞれ結合し、各トランジスタ108, 109のドレインを高電位の電源線VDDに結合し、ゲートをプリチャージバルスのLで駆動する。又、センスアンプの共通ソースBは結合バルス(ϕ_0)でゲートが駆動され、ドレインが電源線VDDに接続する各センスアンプに共

通のトランジスタ Q_p のソースに結合する。

第2図は第1図の実施例の動作説明のための電圧波形図である。リセット期間 t_1 にこの実施例は結合パルスの 0 および伝達パルスの T のみ高電位であるため、各デイジット線対およびセンス節点対が平衡して中間電位にある。この中間電位はリフレッシュ期間のデイジット線対の高低の平均で生ずるもので電源電圧を $5V$ とするとき約 $2V$ である。このリセット期間 t_1 は中間電位が低いため、リフレッシュ期間後の $50 \mu s$ 以内に完了する。リセット期間 t_1 に続いてアクセス期間 t_2 に入る。この期間 t_2 はデイジット線対 D , \bar{D} の一方とに結合するメモリセルへのワード線と他方に結合するダミーセルへのダミーワード線を選択駆動するためワードパルスの W およびダミーワードパルスの D_W を高電位として開始され、デイジット線対にそれぞれのセルからの蓄積情報電荷が影響し、センス節点対に電位差が生じて伝達パルスの T が約 $0V$ の低電位となるまでの期間である。

伝達パルス T が低電位となることによつて伝送

トランジスタが遮断状態となるため、デイジット線対とセンス節点対が電気的に分離される。この状態でセンスパルスの S が漸次上昇し各センスアンプの共通ソース電位が下降するためセンス節点対の電位 V_A , $V_{\bar{A}}$ は電位差を増加する。又、デイジット線対の電位 V_D , $V_{\bar{D}}$ はプリチャージパルスの L を高電位とすることにより共に約 $4V$ の高電位に充電される。センスアンプ内のセンス節点電位 V_A , $V_{\bar{A}}$ の電位差がデイジット線対に無関係に増加された時点で Y デコーダ出力 Y_j に応じて入出力線対がセンスアンプとの情報送受を行う。従つてこの期間は、データ期間 t_3 であり、デイジット線に比して付加容量がきわめて小であるセンスアンプ節点を引き込むため、 $20 \mu s$ 以内の高速のデータ出力を実現する。データ期間 t_3 の後にリフレッシュ期間 t_4 に到り、伝達パルスの T が再び高電位となつてデイジット線対とセンスアンプ節点とがそれぞれ電気的導電状態となる。この期間に一方の低電位側のセンス節点に結合するデイジット線の一方が伝達トランジスターを

アンプを通して放電される。この時、センスアンプは既にデータ期間に完全安全状態であるため、高電位側のセンス節点からの放電は、伝達およびセンストランジスタ比によつて完全に防止される。この伝達トランジスタとセンストランジスタとの遮断利得比は、それぞれのトランジスタのチャネル巾 W に対するチャネル長 L 比の割合で近似され、伝達トランジスタについて $W_T/L_T = K_T$ を与え、センストランジスタについて $W_A/L_A = K_A$ を与えると、 $K_A/K_T = 2 \sim 10$ が好ましい値である。この値の最小値は高電位側のセンス節点からの放電が起り得る下限であり、最大値はセンス開始時に高電位側センス節点電位を過剰に下降しない上限である。

リフレッシュ期間 t_4 でメモリセルの容量素子は約 $4V$ の高電位情報 "H" 又は低電位情報 "L" がデイジット線から与えられ、ワードパルスの W が低電位となることにより保持状態となる。ダミーワードパルスの D_W はセンスパルスの S が低電位となり、センスアンプを不活性としたのち結合パ

ルスの 0 が上昇してリセット期間 t_1 に入つたのちに下降する。ダミーワードパルスの D_W がリセット期間内に高電位である期間はダミー導込期間 t_5 であり、 $10 \sim 40 \mu s$ である。この間にデイジット線対は、一方が約 $4V$ の高電位、他方が約 $0V$ の低電位から共に約 $2V$ の中間電位となり、この電位をダミーセルの容量素子に蓄積する。

上述したこの実施例によれば、デイジット線対への電荷からのプリチャージがデータ期間に行なわれるため、リセット時のプリチャージを不要とし、サイクル時間の短縮を実現する。アクセス時間はセンスアンプのみの安定状態に到る時間で与えられ、通常の $1PF$ 以上のデイジット耐をセンストランジスタで放電してからのアクセス時間に比して、 $0.01 \sim 0.05PF$ 程度のセンス節点容量からの放電のため高速アクセスとなる。更に、ダミーセルはメモリセルと実質的に同一回路構成であり、メモリセルへの高電位・低電位情報の確実に中間電位での電荷蓄積となるため、それぞれの情報に対するダミーセル情報がほぼ同一電位差を

センス回路に与え、センス動作が高感度・確実である。

タ、106, 107……入出力トランジスタ、108, 109……ブリティヤージトランジスタ。

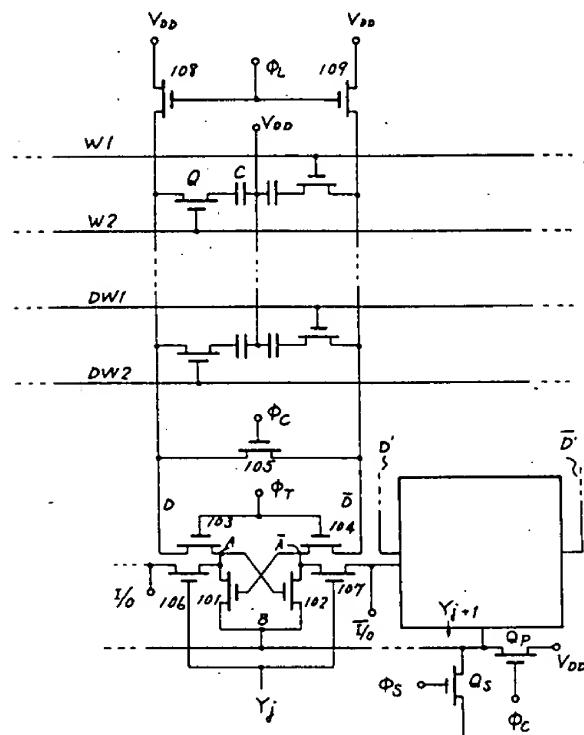
又、上述の実施例において、デイジット線対に結合する2個のメモリセルを、同一のワード線で駆動するか、もしくは2本のワード線を同時に駆動することにより、デイジット線対の一方から高電位、他方から低電位の情報を読み出す2トランジスタ型メモリ回路を実現することができる。この回路は情報の読み出を確実にすると共に、ダミーセルを不要としてその比較を行わないので、動作余裕度を更に拡大することができる。

特開人: 内原 哲

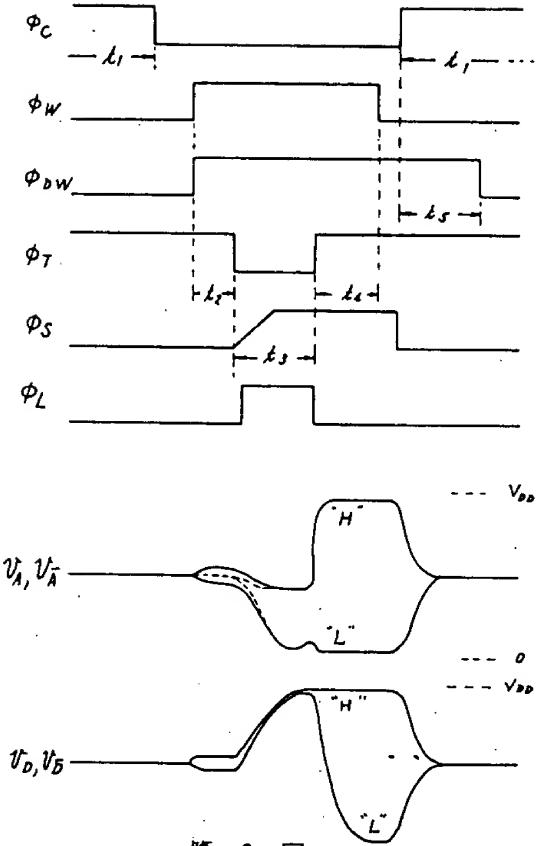
4. 図面の簡単な説明

第1図はこの発明の一実施例の部分回路図、第2図は第1図の実施例の動作説明のための波形図である。

図中、101, 102……センストランジスタ、
D, \bar{D} ……デイジット線、W₁, W₂……ワード線、
DW₁, DW₂……ダミーワード線、103, 104…
…伝達トランジスタ、105……結合トランジス



第1図



第2図

特許法第17条の2の規定による補正の掲載

昭和 53 年特許願第 7975 号(特開 昭 54-101229 号, 昭和 54 年 8 月 9 日 発行 公開特許公報 54-1013 号掲載)については特許法第17条の2の規定による補正があつたので下記のとおり掲載する。 6 (4)

Int. C.I.	識別記号	府内整理番号
G11C 11/34 7/00	101	8320-5B 6549-5B

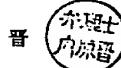
6. 補正の対象

明細書の特許請求の範囲の欄

7. 補正の内容

別紙の通り

代理人 弁理士 内原 晋



手 続 補 正 書 (自発)

60.1.25
昭和 年 月 日

特許庁長官 殿

1. 事件の表示 昭和 53 年 特許願第 7975 号

2. 発明の名称 メモリ回路

3. 補正をする者

事件との関係 出願人

東京都港区芝五丁目33番1号

(423) 日本電気株式会社

代表者 関本忠弘

4. 代理人

〒108 東京都港区芝五丁目37番8号 住友三田ビル

日本電気株式会社内

(6591) 弁理士 内原

電話 東京 (03) 456-3111(大代表)

(連結先 日本電気株式会社 特許部)

5. 補正により増加する発明の数

特許庁
60.1.26
出願人二件
内原

「別紙」

補正後の特許請求の範囲

1. ドレイン又はソースとゲートとが交叉接続された一対のトランジスタと、一対のデイジット線と、前記一対のデイジット線を前記一対のトランジスタの交叉接続点にそれぞれ接続する第1の手段と、前記一対のデイジット線を選択時に接続する第2の手段とを含み、前記第1および第2の手段によって前記一対のデイジット線および一対の交叉接続点の電位をほぼ同一の電位とすることを特徴としたメモリ回路。

2. センスアンプと、一対のデイジット線と、前記一対のデイジット線を前記センスアンプに接続する手段と、前記一対のデイジット線を所定時間に亘り接続する短絡手段とを有し、上記短絡手段によって上記一対のデイジット線の電位を電源電位より低い中間レベルにすることを特徴とするメモリ回路。

3. 一対のデイジット線と、該一対のデイジット線のそれぞれに接続したダミーセルと、該一対

のデイジット線を短絡することにより該デイジット線の電位を電源電位よりも低い値の中間電位にする手段と、上記ダミーセルを選択的に付与して上記デイジット線上の中間電位を該ダミーセルに書き込む手段とを含むことを特徴とするメモリ回路。

JAPAN PATENT OFFICE

PATENT LAID-OPEN OFFICIAL GAZETTE

MAILED
FEB 23 1975
GROUP 2500

Laid-Open No.

S.54-101229

Laid-Open

August 9, 1979

Application No.: S.53-7975

Filed: January 26, 1978

Inventors: Toshio Wada
5-33-1 Shiba, Minato-ku, Tokyo
NEC Corporation

Applicant: NEC Corporation
5-33-1 Shiba, Minato-ku, Tokyo

Attorney, Agent: Susumu Uchihara

1. TITLE OF THE INVENTION

Memory Circuit

2. WHAT IS CLAIMED

A memory circuit comprising a pair of transistors, where the gate of each transistor is interconnected to the drain (or the source) of the other transistor, and the sources (or the drains) of both transistors are connected to each other, a pair of digit lines, a first means for selectively connecting the digit lines to the drain (or the source) of the two transistors, and a second means for selectively connecting the digit lines, and where potentials of the digit lines and that of the drains (or the sources) of the pair of transistors are almost equivalent using the first and second means.

3. DETAILED DESCRIPTION OF THE INVENTION

This invention relates to memory circuits using insulation-gate field effect transistors (FET) applicable to high-speed, large-capacity MOS memory integrated circuits.

The additional capacity of digit lines increases in one-transistor type of MOS RAM used for constructing large-capacity MOS memory integrated circuits; as a result, address access time and reset precharge time increase, making it difficult to achieve high-speed operation. In addition to lowering power consumption, shortening address access time and cycle time are particularly important factors in realizing a practical memory device.

The objective of this invention is to provide a memory circuit capable of high-speed operation without the above problems.

This memory circuit is characterized by a pair of transistors, where the gate of each transistor is

interconnected to the drain (or the source) of the other transistor, and the sources (or the drains) of both transistors are connected to each other, a pair of digit lines, a first means for selectively connecting the digit lines to the drain (or the source) of the two transistors, and a second means for selectively connecting the digit lines, and where potentials of the digit lines and that of the drains (or the sources) of the pair of transistors are almost equivalent using the first and second means.

In this invention, a memory circuit with insulation-gate FETs can be configured as follows:

A sense circuit amplifies the potential difference of sense contact points (A , \bar{A}) at the drains by lowering the common source potential of a pair of sense transistors where the gate of one transistor is connected to the drain of the other transistor. A pair of digit lines (D , \bar{D}) intersecting at a right angle to multiple word lines (W_1 , W_2 , ...) are connected to sense contact points (A , \bar{A}) by transmission transistors 103 and 104 whose gates are driven by transmission pulse ϕ_T . A one-transistor memory cell composed of a transistor and a capacitor is connected to a word line and digit line. Cell storage charge is supplied to the sense circuit through digit lines and transmission transistors for detecting information. The drain and source of connection transistor 105 whose gate is driven by connection pulse ϕ_C are connected to the pair of digit lines. By making connection pulse ϕ_C and transmission pulse ϕ_T high potential at reset, the pair of digit lines and sense contact points (A , \bar{A}) take on almost the same intermediate potential. The transmission transistor enters the cut-off state by lowering the transmission pulse potential during the sense operation period. In this precharge period, the pair of digit lines is charged to high potential. When sense operation ends, transmission pulse (ϕ_T) potential is raised again to set the refresh potential of the pair of digit lines.

In addition, the memory circuit can include input/output transistors in which the drain and source of each transistor

are connected to respective input/output lines (I/O , \bar{I}/\bar{O}) for external circuits and sense contact points (A , \bar{A}), and the gates are driven by decoder output signal Y_j .

By this invention, since no precharge is required at reset, cycle time can be shortened, achieving a high-speed memory circuit having high sensitivity.

Figure 1 is a partial circuit diagram showing an embodiment of this invention. This embodiment includes a pair of drive transistors 101 and 102 as a sense amplifier in which the gate of each transistor is connected to the drain of the other transistor. The potential difference of sense contact points A and \bar{A} as drains is amplified by lowering the potential of common source contact point B . Lowering the potential is controlled by common transistor Q_s in which sense pulse ϕ_s is input to its gate and its drain and source are connected to common source contact point B and reference potential (ground), respectively. A storage matrix consists of column lines composed of word lines W_1 , W_2 and dummy word lines DW_1 and DW_2 , row lines composed of digit lines D , \bar{D} , D' , \bar{D}' , and memory and dummy cells composed of transistors Q and capacitors C at matrix intersections. These memory cells are known as one-transistor memory cells. In general, when a memory cell, which is connected to one of the two lines in the digit line pair (D or \bar{D}) and a word line, is selected, a dummy cell connected to the other digit line (\bar{D} or D) is also selected.

The pair of digit lines D and \bar{D} and sense contact points A and \bar{A} are connected to the drain and source of transistors 103 and 104 whose gates are driven by transmission pulse ϕ_T . The gate of connection transistor 105 is driven by connection pulse ϕ_C and its drain and source are connected to the pair of digit lines D and \bar{D} .

Storage data is input or output by driving the gates of input/output transistors 106 and 107 with Y-decoder output Y_j ; the drains and sources of these transistors are connected to respective sense contact points A and \bar{A} and a pair of input/output lines I/O and \bar{I}/\bar{O} generated by

complementary signals. Y-decoder output, which is transmitted to each sense amplifier, controls the connection between the sense contact points and the pair of input/output lines. The sources of precharge transistors 108 and 109 are connected to digit lines D and \bar{D} , the drains are connected to power lines VDD, and the gates are driven by precharge pulse ϕ_L . Common source B of the sense amplifier is connected to the source of common transistor Qp, whose gate is driven by connection pulse ϕ_C and drain is connected to power line VDD.

Figure 2 is a timing chart illustrating the operation of the embodiment shown in Figure 1.

A pair of digit lines and sense contact points are in equilibrium and at intermediate potential since only connection pulse ϕ_C and transmission pulse ϕ_T are at high potential during reset period t_1 . The intermediate potential, which is generated by the average of the digit pair potentials during a refresh period, is about 2 V when power voltage is 5 V. Reset period t_1 completes within 50 ns after the refresh period since intermediate potential is low. Access period t_2 follows reset period t_1 . When word pulse ϕ_W and dummy word pulse ϕ_{DW} reach high potential, access period t_2 begins to select the word line for the memory cell connected to digit line D or \bar{D} or the dummy word line for the dummy cell connected to the other digit line. Access period t_2 completes when storage charge from the both cells affects the pair of digit lines, potential difference occurs at the pair of sense contact points, and transmission pulse ϕ_T becomes almost 0 V.

When transmission pulse ϕ_T reaches low potential, the pair of digit lines and the pair of sense contact points are electrically isolated since the transmission transistors enter the cut-off state. At this time, potential difference (V_A , \bar{V}_A) of the pair of sense contact points is amplified since the potential of sense pulse ϕ_S gradually rises and common source potential of the sense amplifiers falls.

Potentials V_D and \bar{V}_D of the pair of digit lines are charged to about 4 V by making the potential of precharge pulse ϕ_L

high. When potential difference (V_A , $V_{\bar{A}}$) of the pair of sense contact points in the sense amplifier is amplified regardless of the pair of digit lines, the pair of input/output lines transmits/receives data for the sense amplifier corresponding to Y-decoder output Y_j . Therefore, high speed data output within 20 ns can be achieved during data period t_3 since electric charge of a sense amplifier contact point, which has additional capacity extremely smaller than that of the digit line, is removed. In refresh period t_4 following data period t_3 , transmission pulse ϕ_T reaches high potential again and current conducts between the pair of digit lines and sense amplifier contact points. In refresh period t_4 , a digit line connected to a sense contact point having lower potential is discharged through the transmission transistor and sense amplifier. At this time, discharge from the other sense contact point having high potential is completely prevented by the current gain ratio of the transmission and sense transistors, since the sense amplifier is in a completely safe state during the data period. The current gain ratio of the transmission and sense transistors is approximated by the ratio of channel width W and channel length L of the two transistors. When $WT/LT=KT$ for the transmission transistor and $WA/LA=KA$ for the sense transistor, a $KA/KT=2$ to 10 is desirable. The minimum value of KA/KT is the lower limit at which a sense contact point of higher potential may be discharged, and the maximum value is the upper limit at which the sense contact point potential does not excessively fall when sensing starts.

During refresh period t_4 , the capacitor of the memory cell is in hold state because high potential data H of about 4 V or low potential data L is provided from digit lines and word pulse ϕ_W potential becomes low. The potential of sense pulse ϕ_S becomes low, the sense amplifier is inactivated, connection pulse ϕ_C potential rises, and reset period t_1 is entered. Then, the potential of dummy word pulse ϕ_{DW} falls. The dummy write period t_5 , in which dummy word pulse ϕ_{DW} potential is high in the reset period, is 10 to 40 ns. In

dummy write period t₅, the digit lines reach an intermediate potential of about 2 V from a high potential of about 4 V for one line and a low potential of about 0 V for the other line, and the intermediate potential is stored in the capacitor of the dummy cell.

As described above, since the pair of digit lines is precharged from the power source within the data period, no precharge is required during reset and cycle time can therefore be shortened. Access time is as the period in which only the sense amplifier is in stable state. High speed access can be achieved by discharging a capacitance of 0.01 to 0.05 pF from a sense contact point, compared to the access time achieved after normal digit line discharge of 1 pF or more using the sense transistor. In addition, the circuit configuration of the dummy cell is the same as that of the memory cell, and high/low potential data to the memory cell can be stored as electric charge of intermediate potential. Therefore, dummy cell data for each type of potential data provides the same potential difference to the sense circuit, enabling highly sensitive, reliable sense operation.

In the above embodiment, a two-transistor memory circuit, which reads high potential data from one of the digit lines and low potential data from another digit line, can also be implemented by driving two memory cells connected to a pair of digit lines using one word line or by simultaneously driving two word lines. Such a circuit reads data reliably and no dummy cell is required, enlarging operation margin.

4. BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 is a partial circuit diagram showing an embodiment of this invention.

Figure 2 is a timing chart illustrating the operation of the embodiment shown in Figure 1.

101, 102: Sense transistors
D, \bar{D} : Digit lines
W1, W2: Word lines
DW1, DW2: Dummy word lines
103, 104: Transmission transistors
105: Connection transistor
106, 107: Input/output transistors
108, 109: Precharge transistors

Attorney, Agent: Susumu Uchihara

AMENDMENT

January 25, 1985

To Director-General of the Patent Office

1. Designation of the Case: Patent Application 7975 in 1978
2. Title of the Invention: Memory Circuit
3. Amending Person:

Relation to the case: Applicant

Representative: Sekimoto Tadahiro

5-33-1 Shiba, Minato-ku, Tokyo
NEC Corporation

4. Attorney, Agent: Susumu Uchihara
5. Amount of Inventions Added by this Amendment: 2
6. Amended Item: WHAT IS CLAIMED

7. Amended Contents

1. A memory circuit comprising a pair of interconnected transistors, where the gate of each transistor is connected to the drain (or the source) of the other transistor, a pair of digit lines, a first means for connecting the digit lines to the interconnection points of the pair of transistors, and a second means for selectively connecting the digit lines, and where the potential of the digit lines and that of the connection points of the pair of transistors are almost equivalent using the first and second means.
2. A memory circuit comprising a sense amplifier, a pair of digit lines, a means for connecting the digit lines to the sense amplifier, and a short circuiting means for connecting the digit lines for a specific time, and where potential of the digit lines is set to an intermediate level, lower than the power potential, using the short circuiting means.
3. A memory circuit comprising a pair of digit lines, dummy cells connected to the digit lines, a means for setting the potential of the digit lines to an intermediate level lower than the power potential by short-circuiting the pair of digit lines, and a means for selectively energizing the dummy cells to write the intermediate potential level on the pair of digit lines into the dummy cells.

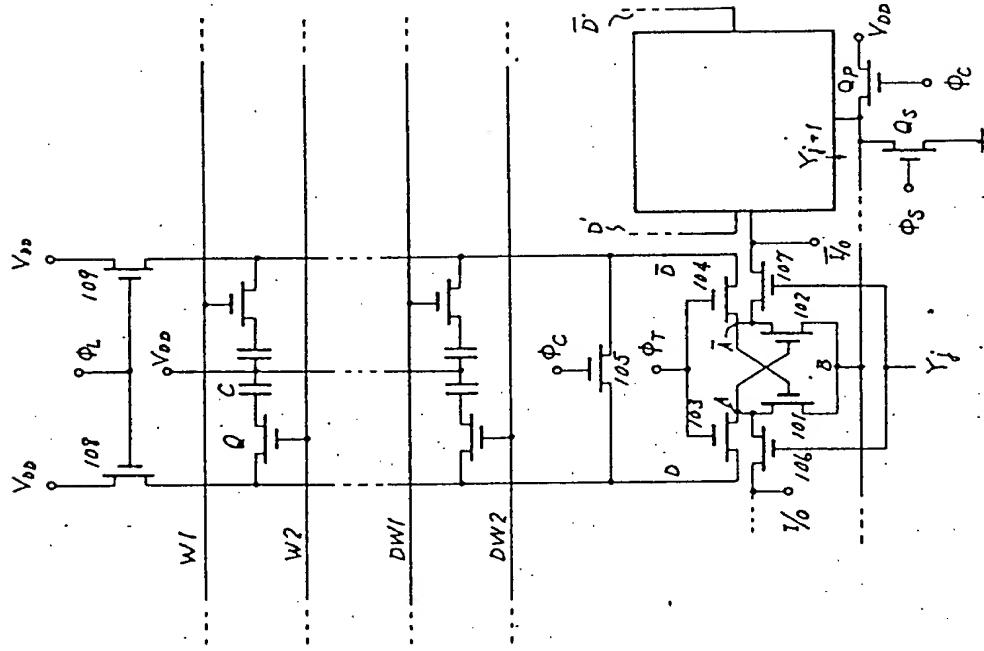


Figure 1

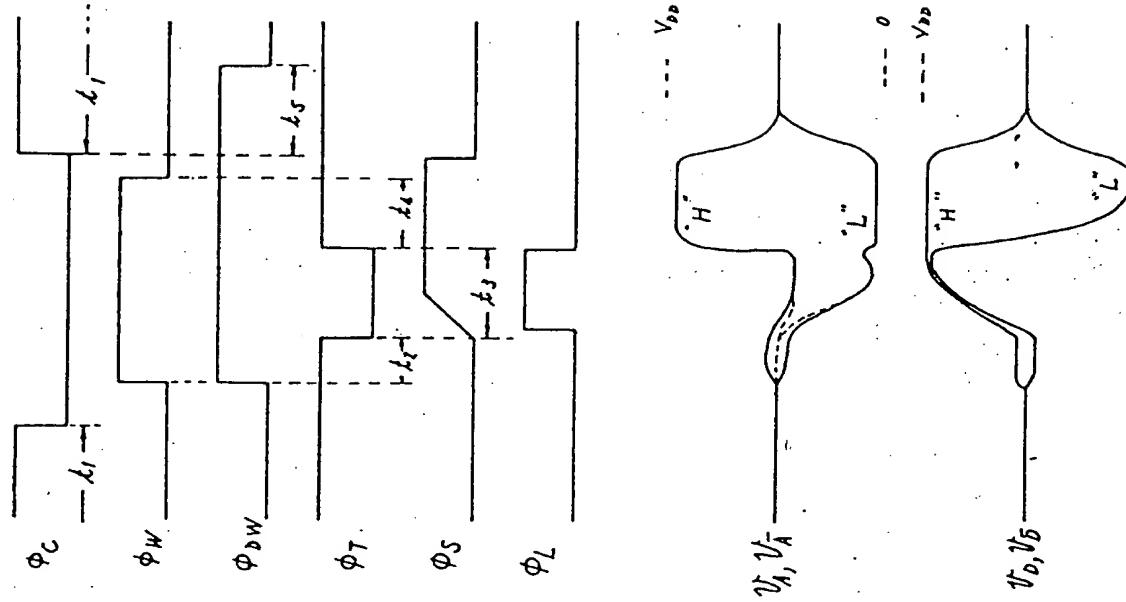


Figure 2